

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-341750

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

G09G 5/00
G06F 3/153
G09G 1/16

(21)Application number : 04-153229

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.06.1992

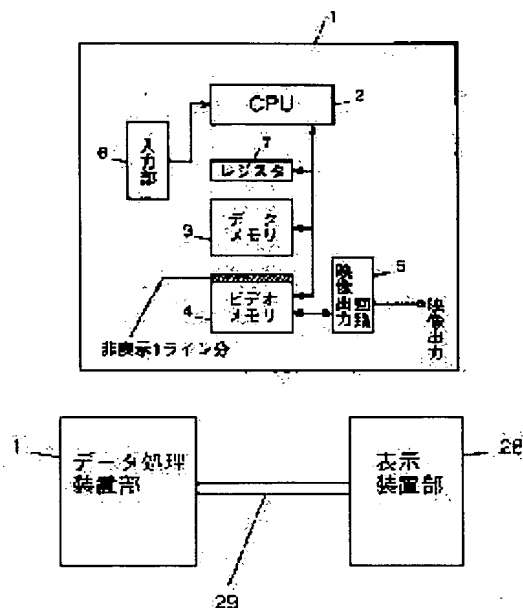
(72)Inventor : MIYAZAKI TAKAO

(54) CONTROLLER FOR DISPLAY OF DATA PROCESSOR

(57)Abstract:

PURPOSE: To control a display environment from a main body side by encoding the configuration of a display control signal and providing a means sending not only the stop and the operation of a display but a display mode and various control signals to a display device.

CONSTITUTION: A data processor part 1 is constituted of a CPU 2, a data memory 3, a video memory 4, a video output circuit 5 and an input part 6. In such a case, a character code and image data from the input part 6 of a keyboard, etc., are edited and stored in the data memory 3 and further, are bit map- converted and written in the video memory 4 controlled by the video output circuit 5. By the video output circuit 5, bit map data is read and sent to a display device 28. The data processor part 1 has a display control signal generation means and a function sending a part of the image data to the display device part 28 by FM code-converting and replacing the control signal, and the display device part 28 detects and discriminates automatically the display control signal and is connected by a video cable 29.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-341750

(43) 公開日 平成 5 年 (1993) 12 月 24 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/00	Z	8121-5G		
G 0 6 F 3/153	3 3 0 A	7165-5B		
G 0 9 G 1/16	M	8121-5G		

審査請求 未請求 請求項の数 5 (全 8 頁)

(21) 出願番号 特願平4-153229

(22) 出願日 平成 4 年 (1992) 6 月 12 日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 宮崎 隆夫

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 弁理士 小鍛治 明 (外 2 名)

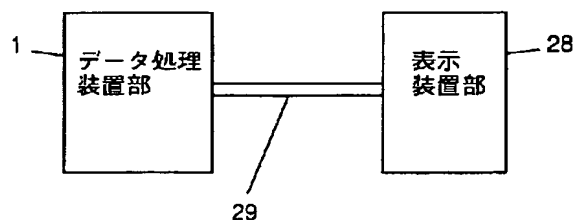
(54) 【発明の名称】 データ処理装置用ディスプレイの表示制御装置

(57) 【要約】

【目的】 データ処理装置本体側から分離型表示装置の表示環境が制御できるデータ処理装置用ディスプレイの表示制御装置を提供する。

【構成】 表示装置の表示環境を制御するための表示制御信号を発生する手段を含むデータ処理装置部 1 と、表示制御信号に応じて表示環境を調整する手段を含む表示装置部 28 と、表示制御信号を含む信号を伝送するためのビデオケーブル 29 を備える。

29. ビデオケーブル



1

【特許請求の範囲】

【請求項1】 表示装置の表示環境を制御するための表示制御信号を発生する表示制御信号発生手段、前記表示制御信号を表示装置に送出するための送出手段を含むデータ処理装置と、前記表示制御信号に応じて表示環境を調整する手段を含む表示装置と、前記データ処理装置と前記表示装置を接続し前記表示制御信号を含む信号を伝送するための手段とを備えたデータ処理装置用ディスプレイの表示制御装置。

【請求項2】 表示制御信号は、表示制御信号であることを示す信号と、複数の表示環境に制御するための信号を含んで構成された請求項1記載のデータ処理装置用ディスプレイの表示制御装置。

【請求項3】 表示制御信号を、表示装置画面の非表示時間領域に挿入した請求項1または2記載のデータ処理装置用ディスプレイの表示制御装置。

【請求項4】 表示制御信号を画像データの一部に置き換えた請求項1または2記載のデータ処理装置用ディスプレイの表示制御装置。

【請求項5】 表示制御信号をFMコード変換した請求項1ないし4のいずれか1項に記載のデータ処理装置用ディスプレイの表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータ処理装置等の表示装置において、本体側から表示装置の環境を制御する機能を有するデータ処理装置用ディスプレイ表示制御装置に関する。

【0002】

【従来の技術】従来のマルチスキャンディスプレイは、水平同期信号周波数、垂直同期信号周波数、同期信号極性を計測し判別する回路を用いて表示モード判別して表示を制御している。

【0003】また、表示位置の調整や輝度は表示装置側のつまみを動かして調整している。

【0004】

【発明が解決しようとする課題】表示モード判別は周波数と極性を計測するための専用の回路が必要であり、その規模も大である。また、表示装置側のみで対応しているので種々の表示モードの判別は煩雑である。パソコン、ワークステーション等で使用する分離型ディスプレイにおいて、本体側からの（例えばキーボードからの）指令等だけでは輝度や表示位置等の制御はできない。

【0005】本発明は上記課題を解決するもので、本体側から、分離型ディスプレイの表示環境が制御できるデータ処理装置用ディスプレイの表示制御装置の提供を目的とする。

【0006】

【課題を解決するための手段】本発明は上記目的を達成するため、データ処理装置側に表示モード信号および表

2

示装置の表示をコントロールする制御信号を画像信号の一部に置き換えて送るか、または、非表示エリアに割り当てて送る手段を設け、表示装置側でこの信号を判別し表示をコントロールする手段を備えた構成を有する。

【0007】

【作用】本発明は上記した構成によって、分離型ディスプレイを備えたデータ処理装置において、データ処理装置側から多くの表示制御ができるように作用する。

【0008】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。

【0009】（実施例1）図1は本発明の第1の実施例におけるデータ処理装置用ディスプレイの表示装置におけるデータ処理装置のハードウェアブロック図である。

【0010】図1はCPU2、データメモリ3、ビデオメモリ4、映像出力回路5、入力部6で構成される一般的なデータ処理装置部1であり、データ処理装置において、キーボード等の入力部6からの文字コードや画像データはデータメモリ3において編集および記憶され、さらに映像出力回路5でコントロールされるビデオメモリ4にビットマップ変換されて書き込まれる。映像出力回路5はビデオメモリ4上のビットマップデータを読み出して表示装置へ送るといった基本的動作を行なう。

【0011】表示装置に対して表示の停止、起動、表示モードの変更等を制御する場合、以下に示す表示制御信号を非表示エリアに配置して表示装置に送るようにする。表示制御信号は例えば図2で示すように固定符号n1ビットを例えば16ビット、表示モードn2ビット、制御コードn3ビットを例えば各々8ビットとし、合計(n1+n2+n3)を32ビットとするような構成とする。ここで、固定符号は表示制御信号であることを示す符号とし例えばすべて“0”とする。表示モードは表示サイズ、表示周波数、SYNC正負等を定めたいわゆるVGAやXGA等を示す符号とし、制御コードは表示の停止、動作、画像表示位置、輝度の高低等を示すものとする。この表示制御信号は必要に応じてレジスタ7に設定される。すなわち例えば、あらかじめキーボード等の入力部6にキーの割付をしてそのキーが押されたときに表示制御データを更新するようにプログラムしておき、CPU2がレジスタ7の更新を行なうようにしておく。また表示モードの変更等の場合もプログラムに従ってCPU2が自動的にレジスタ7を更新するようにしておけばよい。このレジスタ7内の制御信号をデータの更新されたときに非表示エリアの任意の1ラインに相当するビデオメモリ4のエリアにFMコード変換して送出する。これは、レジスタ7内の制御信号データを図3のようにデータがハイレベル（“1”）の場合は頭のクロックビット8と中間点にデータビット9を立てる。データがローレベル（“0”）の場合は頭のクロックビット8のみを立てるというルールに従ってFMコード変換する

3

もので、あらかじめ表示モード別に設定した1ビット当たりのドットサイズ幅に応じてビデオメモリ4に送るものである。ここで、1ビット当たりの送出ドット幅は、表示モードによって1ビット当たりの時間がほぼ同じになるように水平表示ドットサイズおよびドット周波数に応じて設定し、例えば、図4(a)の水平表示ドット640でドットタイム35nSのモードの場合は1ビットにつき例えば9ドット幅で送出し、図4(b)の水平表示ドット1280でドットタイム9nSのモードの場合は1ビットにつき例えば35ドット幅で送出する。データ処理装置では表示モード(VGAやXGA)をあらかじめ選択してから表示するので1ビット当たりの送出ドット幅はCPUで設定可能となる。ビデオメモリ4に送られたFMコード変換された制御信号は映像出力回路5を経て表示装置へ送られる。

【0012】表示画面での制御信号の表示箇所を図5に示す。この例は、非表示エリア(ブランキングエリア)の任意の1ラインの場合を示す。制御信号は非表示エリアなので表示画面には現われないことは言うまでもない。

【0013】図6は表示制御信号の映像フォーマットすなわち、映像出力回路5の出力波形であり、1280ドットの場合の例である。固定符号、表示モード、制御コードの合計32ビットが35ドット/ビットで水平同期信号間の映像信号部に配置された図である。

【0014】図7は制御信号の送出のフローチャートである。ステップaでデータをデータメモリ3に配置し、ステップbでインタラプトがなければステップcでビデオメモリ4に書き込み、ビデオメモリ4の常時読み出しによって映像出力するものであり、通常の動作ルーチンである。ステップbでインタラプトがかかるとステップd, eを経てステップfで制御信号の内容によって表示モードまたは表示制御コードをデータ化してレジスタ7に設定し、ステップgでそのデータをFMコード変換してビデオメモリ4に送り、元の通常ルーチンへ戻る。

【0015】次に表示装置側における制御信号の検出方法について図8、図9を参照して説明する。制御信号検出回路は制御信号のゲーティング部、制御信号からのデータ抜き取り部、データシフト用のパルス発生部、データ判別部とから構成される。表示装置側では、垂直同期信号、水平同期信号、映像信号を波形整形回路10、11、12に通し、次段の制御信号検出回路とのレベル的なマッチングを取るように波形整形する。波形整形回路通過後の映像信号と垂直同期信号をゲーティング回路25に導き、垂直同期信号後の映像信号を通過させる。ゲーティング回路25通過後の映像信号(制御信号)は制御信号の立ち上がりの変化点を検出する立ち上がり検出回路13を通し、その出力をカウンタ15のリセット信号とする。また、制御信号の立ち下がりを検出する立ち下がり検出回路14もゲーティング回路25に接続され

4

ており、この出力をアンド回路17にての検出用のクロック16のゲーティング信号とし、アンド回路17でゲーティングされた検出用クロックはカウンタ15の入力となる。ここで検出用のクロック16は1ビットの表示幅よりも十分に小なるものを使用する。

【0016】次に、カウンタ15および18の動作について説明する。図9に示すように、カウンタ15のQ₀の出力をA点とし、B点での出力をQ₀₊とする。ここでB点のデータがハイレベルの場合は前記リセット信号が発生してカウンタ15はリセットされ、次の立ち下がりから再カウントするのでQ₀の出力は無い(ローレベル)。B点のデータがローレベルの場合はリセットがかからないのでQ₀はハイレベルとなる。一方、カウンタ18は電源投入時の初期リセット後、立ち下がり検出回路19の出力をアンド回路21にての検出用クロック16のゲーティング信号としアンド回路21を通過した検出用クロックでカウントしてC点のQ₀₊で出力する。そしてQ₀₊の出力でカウンタ18自らをリセットする。カウンタ18で作ったパルスQ₀₊をカウンタ15で抜き取ったデータQ₀のシフト用とし、それぞれシフトレジスタ20のシフトパルス端子、データ端子と接続される。このシーケンスで16回シフトして固定符号部のデータがそろるのでデータ判別部へ送って判定する。これはCPU22を介してROMデータ23と比較すればよい。次の16回のシフトでモード信号、制御信号のデータがそろるのでこれもCPU22を介してROMデータ23と比較すればよい。

【0017】カウンタ24は16回シフト、32回シフトのパルス発生用でありQ₀₊の出力を32発カウントし、その出力をカウンタ24のリセット信号とするとともにゲーティング回路25を開じる信号とする。このゲーティングは、その後の垂直同期信号の到来で開くようにしておく。すなわち、映像信号中の制御信号をタイミング的にしぼり込みカウンタ15、18を制御信号が有る区間のみに動作させる。

【0018】このように本実施例によると、上記したシーケンスによってデータを判別し、モード信号の更新の場合はディスプレイの回路部26のfH、fVのトラッキングコントロールやサイズコントロール等をCPU22等の指示に従い、表示制御信号の更新の場合はディスプレイ回路部における輝度のコントロール等をCPU22等の指示に従って行なうことができる。

【0019】なお、制御信号の検出方法に関してはFMコード変換したデータ形式であるからPLL(フェーズロックループ)方式でも検出可能である。

【0020】(実施例2)次に、他の実施例として表示制御信号を画像データの一部を置き換えて送る場合について説明する。図1で示した非表示エリアに配置した場合のデータ処理装置と同じ構成で構成できるが、ビデオメモリエリアに制御信号の書き込みのためのエリアを新

たに設ける必要はない。これは表示エリアの一部に制御信号のデータを書き込んでいるからである。動作については表示制御信号の表示装置への送出時間を例えば1秒と決めておいて、その時間経過後は最新の画像データを送り本来の表示を行なうようにすること以外は、非表示エリアに配置した場合と同じである。これを図10に示す制御信号の送出のフローチャートで説明する。

【0021】図10において、ステップhでデータをデータメモリ3に配置し、ステップiでインタラプトがなければステップjでビデオメモリ4に書き込み、ビデオメモリ4の常時読み出しによって映像出力するものであり、通常の動作ルーチンである。ステップiでインタラプトがかかるとステップk, lを経てステップmで制御信号の内容によって表示モードまたは表示制御コードをデータ化してレジスタに設定し、ステップnでそのデータをFMコード変換してステップpでビデオメモリ4に送り、その後、約1秒のタイマ経過後に元の通常ルーチンへ戻るものである。元のルーチンへ戻ると、最新の画像データが通常ルーチンで映像出力される。図11に表示エリアの先頭1ラインに制御信号を配置した場合を表示画面での表示箇所として示す。上記説明の通り制御信号が表示されるのは約1秒程度である。また、表示装置側の制御信号検出は図8、図9に示した方法と同じである。

【0022】このように本実施例によると、第1の実施例においては表示制御データをディスプレイデバイスの表示エリア外に配置したのに対して、本第2実施例では画像データの一部に置き換えたもので、表示中に制御データはわずかに残るが、作用効果は第2の実施例と変わらない。

【0023】図12に本表示制御方法の基本的構成を示す。表示制御信号発生手段と画像データの一部を該制御信号をFMコード変換して置き換えて表示装置部へ送る機能をもつデータ処理装置部1、該表示制御信号を自動

的に検出、判別し、表示をコントロールする手段をもつ表示装置部28、ブロック1と28を接続するビデオケーブル29とを備えている。

【0024】

【発明の効果】以上の実施例から明らかなように本発明によると、表示制御信号構成をコード化し、表示の停止、動作のみならず表示モードおよび多くの制御信号を表示装置に送る手段を設けてあるので、本体側から、分離型表示装置の表示環境が制御できるデータ処理装置用のディスプレイの表示制御装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるデータ処理装置用ディスプレイの表示制御装置におけるデータ処理装置の構成を示すハードウェアブロック図

【図2】同装置における表示制御信号例の構成図

【図3】同装置における表示制御信号のFMコード変換図

【図4】同信号のFMコードデータの送出ドットサイズ図

【図5】同信号の表示エリアの配置を示す模式図

【図6】同信号の波形図

【図7】同信号の送出フローチャート

【図8】本発明の一実施例の表示装置側における表示制御信号検出手段の構成を示すブロック図

【図9】同検出手段における検出タイミングチャート

【図10】本発明の第2の実施例における表示制御信号の送出フローチャート

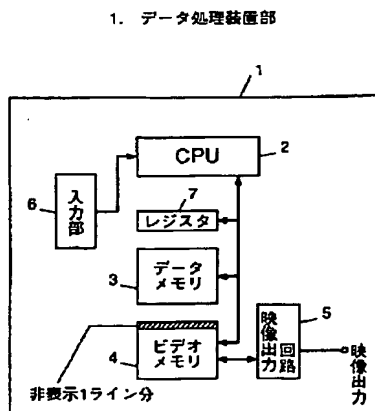
【図11】同表示制御信号の表示部分例を示す模式図

【図12】本発明の一実施例におけるデータ処理装置用ディスプレイの表示制御装置の基本構成図

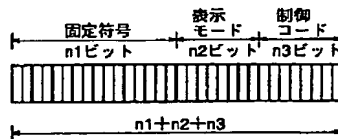
【符号の説明】

- 1 データ処理装置部
- 28 表示装置部
- 29 ビデオケーブル

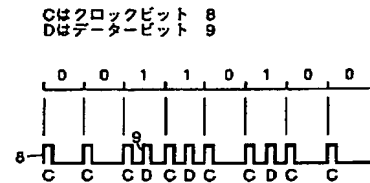
【図1】



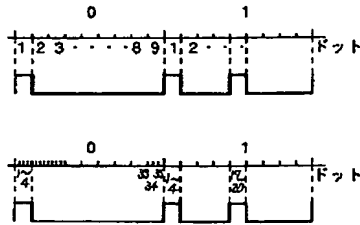
【図2】



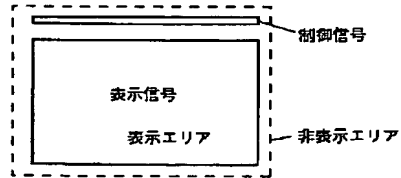
【図3】



【図4】



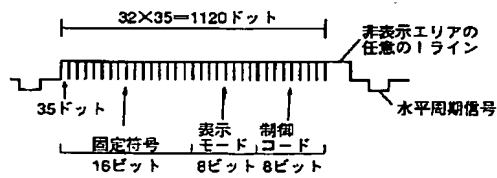
【図5】



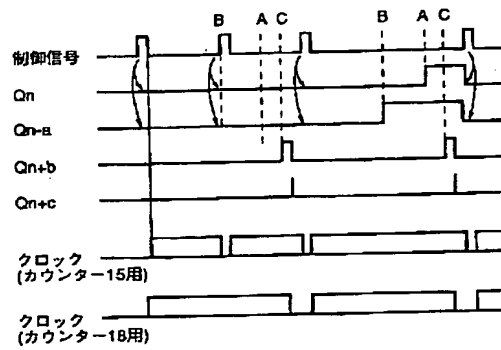
【図11】



【図6】

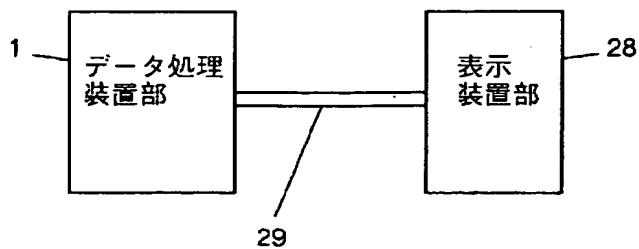


【図9】

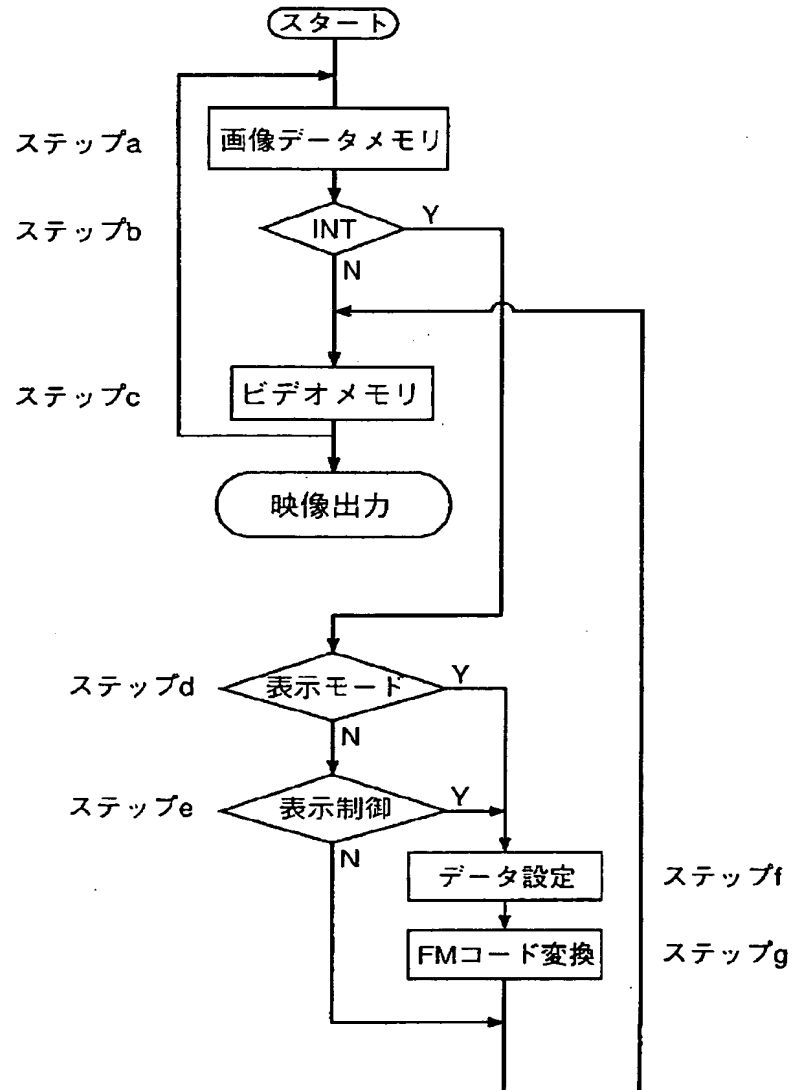


【図12】

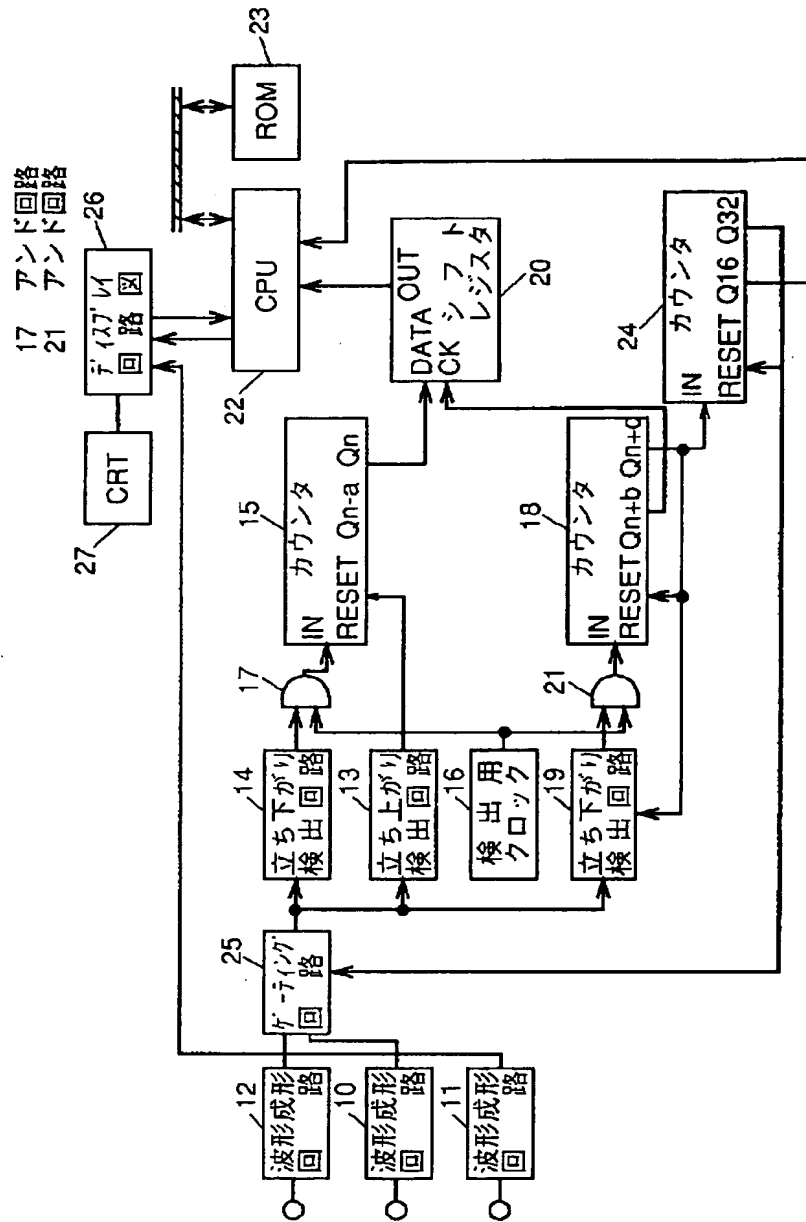
29. ビデオケーブル



【図7】



【図8】



【図10】

